

2011B1774

BL17SU

## 垂直磁化型磁壁移動メモリ用磁性細線の磁壁電流駆動その場観察 Observation of Current Induced Domain Wall Motion in Magnetic Wires for Domain Wall Motion Memory with Perpendicular Magnetic Anisotropy

谷川 博信<sup>a</sup>、大嶋 則和<sup>a</sup>、小山 知弘<sup>b</sup>、吉村 瑤子<sup>b</sup>、千葉 大地<sup>b</sup>、小野 輝男<sup>b</sup>、  
小嗣 真人<sup>c</sup>、大河内 拓雄<sup>c</sup>

Hironobu Tanigawa<sup>a</sup>, Norikazu Ohshima<sup>a</sup>, Tomohiro Koyama<sup>b</sup>, Yoko Yoshimura<sup>b</sup>, Daichi Chiba<sup>b</sup>,  
Teruo Ono<sup>b</sup>, Masato Kotsugi<sup>c</sup>, Takuo Ohkochi<sup>c</sup>

<sup>a</sup>ルネサスエレクトロニクス株式会社、<sup>b</sup>京都大学化学研究所、<sup>c</sup>JASRI/SPring-8  
<sup>a</sup>Renesas Electronics Corp., <sup>b</sup>Institute for Chemical Research, Kyoto University, <sup>c</sup>JASRI/SPring-8

磁壁電流駆動ダイナミクスの解明および磁壁移動メモリの基本動作解析の一環として、SPELEEM を用いた Co/Ni 垂直磁化細線中に形成した磁壁の電流駆動現象観察を行っている。2011A 期から同一素子における磁壁移動速度とばらつきについて議論するために、磁壁導入および磁壁移動のための電流印加が、SPELEEM 装置内にて行えるような測定環境の構築を試みている<sup>[1]</sup>。2011B 期においては、Si 基板の露出面積をなるべく小さくし、なおかつ Co/Ni 細線近傍の端子をコプレナー構造にした新しい素子で検討を進めた。その結果、数 10 ns の時短パルスが印加可能であり、なおかつ放電による試料破壊を回避できる素子構造の手がかりを掴んだ。

キーワード： SPELEEM、垂直磁気異方性、磁壁電流駆動、その場観察

### 背景と研究目的：

磁壁を形成した磁性細線に電流を通じると、スピン電流と局在磁気モーメントとの間で角運動量が受け渡されて磁化が回転し磁壁が動く。この現象は磁壁電流駆動と呼ばれ、新しいスピントロニクスの研究分野として実験・理論の側面から多くの興味を持たれている。これまでに磁壁移動メカニズム<sup>[2-14]</sup>やデバイス応用<sup>[15-18]</sup>などの研究が幅広く進められ、多くの新しい知見が得られている。

サブミクロン細線中に形成した磁壁が臨界電流密度  $J_c$  以上で移動をはじめ、その速度は電流密度に比例することが実験的に示されている<sup>[14]</sup>。この特徴は、素子の微細化により磁壁が低電流で高速に移動することをあらわし、メモリ適用への可能性を示している。こうした観点に立ち、我々は磁壁電流駆動現象のメモリ応用に向けた研究を進めている。これまでに、磁性細線の両端に接続した二つのトランジスタからの電流で細線中の磁壁を動かす書き込み方式のメモリを提案し<sup>[15-17]</sup>、Co/Ni 垂直磁化細線による磁壁電流駆動を検証した<sup>[19,20]</sup>。また、模式的なデバイスを作製して低電力、高速 MRAM の可能性を示している<sup>[11-17]</sup>。これと併せて、SPring-8 BL17SU 設置の SPELEEM (Spectroscopic Photo Emission and Low Energy Electron Microscope) を用いて Co/Ni 垂直磁化細線の磁区観察を行い、磁壁電流駆動メカニズムの研究を進めている<sup>[21]</sup>。

2010B 期には、複数の磁性細線素子を同一条件で作製し、同一条件で電流パルスを与えたときの磁壁移動速度を統計的に調べ、磁壁移動の平均速度とそのばらつきを解析した。同一基板上に作製した 5-6 個の Co/Ni 垂直磁化細線素子に磁壁導入し、電流密度を  $J = 2.0 \times 10^{12}$  A/m<sup>2</sup>、電流パルスを①10 ns × 1,3,6 回の複数回、②10、30、60 ns の一回、印加してその後の磁壁移動量を観察した。①の複数回パルス印加をした素子では磁壁移動速度が約 35 m/s、ばらつきは約 20% であり、電気特性評価の結果と対応した<sup>[21]</sup>。一方、②の単一で長いパルスを与えた場合、磁壁移動速度はパルス長とともに減少し、多磁区構造も見られた。安定した磁壁移動のためには、昇温を抑制する短パルス印加が有効であることがわかった。上記のように、同一形状素子における磁壁速度の『素子間ばらつき』においては検証が可能になったが、デバイス応用のためには同一素子内における磁壁速度の『自己ばらつき』の挙動を明らかにすることが必須であると考えられる。そこで本課題では、同一素子における磁壁移動速度とばらつきについて議論するために、SPELEEM 装置内において磁壁導入および磁壁移動のための電流印加が行えるような測定環境の構築と同時に、

SPELEEM 観察可能な素子構造の同定を試みた。本報告では、これらの検討結果について記述する。

**実験：**

試料と実験環境

Si 基板上に、Pt(1.6 nm)/[Co(0.3 nm)/Ni(0.9 nm)]<sub>4</sub>/Co(0.3 nm)/Pt(1.6 nm)/Ta(3 nm)/基板なる構成の垂直磁化膜を DC マグネトロンスパッタ法(MAGEST-T200、ULVAC 製)で作製した。この膜にレジストを塗布後、電子ビーム露光・イオンミリングにより磁性細線を形成した。Co/Ni 磁性細線の線幅は 150 nm である。磁性細線両端には、磁壁導入兼電流注入用の Ti/Au 細線(幅 500 nm)と電流注入用の pad 状 Au 電極をリフトオフ法で形成した。作製された素子の光学顕微鏡観察像と試料概念図を Fig. 1 に示す。本実験においては、数 10 ns オーダーの短い方形波パルスを素子に印加する必要がある。なるべく同軸ラインを確保するために、SPELEEM 装置の preparation chamber 内で電流印加が行えるような環境を構築し、Co/Ni 細線に 10 ns 程度の方角波パルスが印加可能となった<sup>[1]</sup>。また、装置内の放電による試料破壊を回避するために、基板の露出面積がなるべく小さくなるように電極を配線した。上記素子に約 2 kOe の磁場を面直方向に印加して細線を単磁区化した後、Ti/Au 電極の両端にパルス電圧を印加し、その際発生する局所磁場により磁壁を導入した。

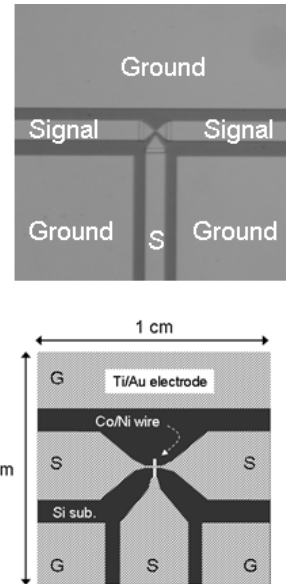


Fig. 1. 作製した試料の光学顕微鏡像と試料概念図。

磁区構造観察

磁区観察には大型放射光施設 SPring-8 の BL17SU(理化学研究所ビームライン)に設置されている ELMITEC 社製の SPELEEM 装置を用いた。Co L-III ピーク(779 eV)において右回り円偏光、左回り円偏光を用いた像を撮影し、簡便のため右回り円偏光像と左回り円偏光像の比をとることで磁区像を得た。視野径は 20 μmφとした。

**結果：**

Fig. 1 の試料を未着磁状態で SPELEEM 観察を行ったときの像を Fig. 2(a)に示す。白破線で覆われた部分は、Ti/Au 電極部である。Co/Ni 細線中の磁化は、白色と黒色のコントラストがランダムに配置していることがわかる。この状態は、Co/Ni 細線中の磁化が多磁区状態になっていることを意味している。Fig. 2(a)の状態から、基板垂直方向に約 2 kOe の外部磁場を印加した後の SPELEEM 観察像を Fig. 2(b)に示す。Co/Ni 細線中の磁化は一様に白色であり、単磁区状態であることが確認された。さらに、Fig. 2(b)の状態から Ti/Au 電極に約 100 mA のパルス電流を印加して Co/Ni 細線中への磁壁導入を試みたが、磁壁が導入されている像を観察することができなかった。この原因は、作製された素子の基板比抵抗が低抵抗(<1 Ωcm)であったため、パルス電流が基板側に抜けて所望の電流強度を確保することができなかったためであると考えられる。

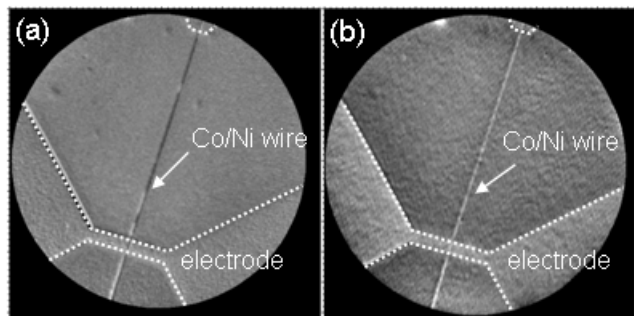


Fig. 2. パルス電流印加による磁壁導入前後の SPELEEM による磁区観察像 (a)未着磁状態、(b)基板垂直方向に 2 kOe の外部磁場を印加後。

上記の実験結果を反映し、高抵抗基板(<1000 Ωcm)上に作製された Co/Ni 素子についても同様の実験を試みたが、今度は装置内の試料放電によって素子が破壊され、磁区観察を行うことができなかった。結果的に、数 10 ns の時短パルスが印加可能であり、なおかつ放電による試料破壊を回避できる素子構造は、基板の比抵抗は低い、時短パルスの基板側への伝導を減少させるものが適していることがわかった。具体的な対応策として、基板の比

抵抗が  $1 \Omega\text{cm}$  以上  $1000 \Omega\text{cm}$  未満の基板上に作製された素子、または低抵抗基板上に数  $10 \text{ nm}$  オーダーの絶縁体を付加し、その直上に磁性細線を加工した素子が候補として挙げられる。今後、上記素子を作製し検討を進める。

**謝辞：**

SPELEEM 観察に協力いただき、有意義な議論をしていただいた SPring-8 木下豊彦氏に感謝いたします。

**参考文献：**

- [1] 谷川博信、大嶋則和、小山知弘、千葉大地、小野輝男、小嗣真人、大河内拓雄、平成 23 年度 SPring-8 重点産業利用課題成果報告書 2011A1698.
- [2] L. Berger: *J. Appl. Phys.* **55**, 1954 (1984).
- [3] G. Tatara and H. Kohno: *Phys. Rev. Lett.* **92**, 086601 (2004).
- [4] Z. Li and S. Zhang: *Phys. Rev. B* **70**, 024417 (2004).
- [5] A. Yamaguchi, T. Ono, S. Nasu, K. Miyake, K. Mibu and T. Shinjo: *Phys. Rev. Lett.* **92**, 077205 (2004).
- [6] M. Yamanouchi, D. Chiba, F. Matsukura and H. Ohno: *Nature* **428**, 539 (2004).
- [7] N. Vernier, D. A. Allwood, D. Atkinson, M. D. Cooke and R. P. Cowburn: *Europhys. Lett.* **65**, 526 (2004).
- [8] M. Hayashi, L. Thomas, Ya. B. Bazaliy, C. Rettner, R. Moriya, X. Jiang and S. S. P. Parkin: *Phys. Rev. Lett.* **96** 197207 (2006).
- [9] M. Kläui, C. A. F. Vaz, J. A. C. Bland, W. Wernsdorfer, G. Faini, E. Cambril, L. J. Heyderman, F. Nolting and U. Rudiger: *Phys. Rev. Lett.* **94**, 106601 (2005).
- [10] H. Tanigawa, K. Kondou, T. Koyama, K. Nakano, Shinya Kasai, N. Ohshima, S. Fukami, N. Ishiwata and T. Ono: *Appl. Phys. Express* **1**, 011301 (2008).
- [11] T. Koyama, G. Yamada, H. Tanigawa, S. Kasai, N. Ohshima, S. Fukami, N. Ishiwata, Y. Nakatani and T. Ono: *Appl. Phys. Express* **1**, 0101303 (2008).
- [12] H. Tanigawa, T. Koyama, G. Yamada, D. Chiba, S. Kasai, S. Fukami, T. Suzuki, N. Ohshima, N. Ishiwata, Y. Nakatani and T. Ono: *Appl. Phys. Express* **2**, 053002 (2009).
- [13] T. Koyama, D. Chiba, K. Ueda, K. Kondou, H. Tanigawa, S. Fukami, T. Suzuki, N. Ohshima, N. Ishiwata, Y. Nakatani, K. Kobayashi and T. Ono: *Nature Materials* **10**, 194 (2011).
- [14] T. Koyama, D. Chiba, K. Ueda, H. Tanigawa, S. Fukami, T. Suzuki, N. Ohshima, N. Ishiwata, Y. Nakatani and T. Ono: *Appl. Phys. Lett.* **98**, 192509 (2011).
- [15] H. Numata and S. Tahara: *Technical Digest of Intermag 2006*, HQ-03.
- [16] H. Numata, T. Suzuki, N. Ohshima, S. Fukami, K. Nagahara, N. Ishiwata and N. Kasai: *Tech. Dig. VLSI Symp 2007*, 232 (2007).
- [17] S. Fukami, T. Suzuki, K. Nagahara, N. Ohshima, Y. Ozaki, S. Saito, R. Nebashi, N. Sakimura, H. Honjo, K. Mori, C. Igarashi, S. Miura, N. Ishiwata and T. Sugibayashi: *Tech. Dig. VLSI Symp 2009*, 230 (2009).
- [18] S. S. P. Parkin, M. Hayashi and L. Thomas: *Science* **320**, 190 (2008).
- [19] S. Fukami, T. Suzuki, N. Ohshima, K. Nagahara and N. Ishiwata: *J. Appl. Phys.* **103**, 07E718 (2008).
- [20] S. Fukami, T. Suzuki, N. Ohshima, K. Nagahara and N. Ishiwata: *IEEE Trans. Mag.* **44**, 2539 (2008).
- [21] N. Ohshima, T. Koyama, H. Tanigawa, M. Kotsugi, T. Ohkouchi, D. Chiba and T. Ono: *Journal of Phys:condensed matter* **23**, 382202 (2011).